

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61164377
PUBLICATION DATE : 25-07-86

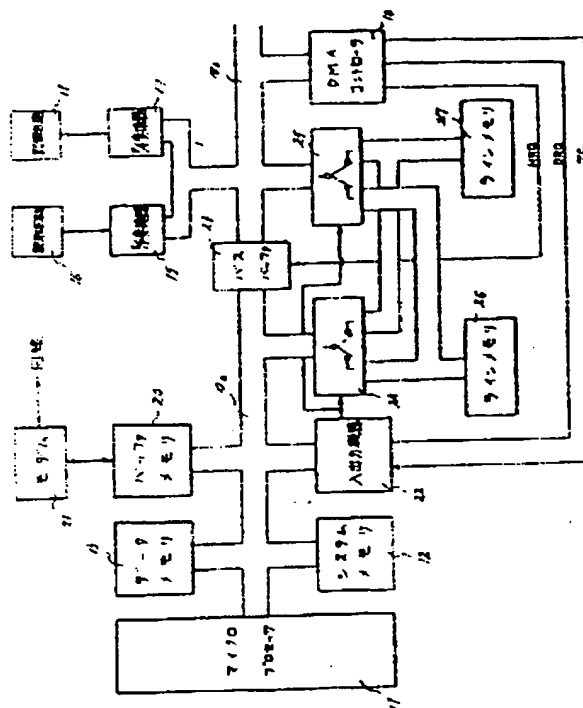
APPLICATION DATE : 16-01-85
APPLICATION NUMBER : 60006631

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : HOJO YUJI;

INT.CL. : H04N 1/413 H04N 1/21

TITLE : CODING AND DECODING SYSTEM



ABSTRACT : PURPOSE: To obtain a coding/decoding system whose efficiency is enhanced by separating buses to attain coding/decoding in parallel with DMA transfer.

CONSTITUTION: A bus buffer 23 separates buses into buses 10a, 10b and an input/output device 22 changes over line memory switching circuits 24, 25 so that a line memory 27 is placed to the side of a DMA controller 14 and a line memory 26 is placed to the side of a microprocessor 11. When one line of picture information undergoes DMA transfer from a read circuit 16 to the line memory 27, the DMA controller 14 sends a signal TC to the input/output device 22 to switch the line memory switching circuits 24, 25. The microprocessor 11 reads data in the memory 27, codes it and a coded data stored in the buffer memory 20 is modulated by an MODEM 21 and transmitted. The microprocessor 11 applies coding/decoding in parallel simultaneously with the DMA transfer among the read circuit 16, a recording circuit 18 and the memories 26, 27 in this way.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-164377

⑤ Int.Cl.

H 04 N 1/413
1/21

識別記号

庁内整理番号

Z-7136-5C
7136-5C

⑬ 公開 昭和61年(1986)7月25日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 符号、復号方式

⑰ 特 願 昭60-6631

⑱ 出 願 昭60(1985)1月16日

⑲ 発 明 者	保 母 芳 博	守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	北 條 雄 司	守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 出 願 人	三洋電機株式会社	守口市京阪本通2丁目18番地	
⑲ 代 理 人	弁理士 河野 登夫		

明 細 書

1. 発明の名称 符号、復号方式

2. 特許請求の範囲

1. 画像信号の符号、復号を行う方式において、所定量の画像信号を格納する第1、第2のメモリと、符号、復号処理を実行するプロセッサに連なる第1のバスと、符号化すべき信号の発生回路、復号した信号を受ける回路及びDMAコントローラに連なる第2のバスと、第1、第2のバスを接続するバスバッファと、第1、第2のメモリの夫々を相異なる前記バスに接続する切換回路とを設け、

符号化すべき信号を一方のメモリにDMA転送して格納し、これと同時に他方のメモリに格納されている信号をプロセッサにて符号化し、

またプロセッサが復号した信号を一方のメモリに格納し、これと同時に他方のメモリに格納されている信号を前記復号した信号を受ける回路へDMA転送することを特徴とする

符号、復号方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はファクシミリ装置等画像情報をデータ圧縮して通信する装置の符号、復号方式に関するものである。

(従来技術)

ファクシミリ装置においては画像情報を効率的に伝送するためにNR符号、復号方式又はNR符号、復号方式が用いられるが、この符号、復号はハードウェアにて行わせるか、またはプロセッサを複数設けてこれらによりソフトウェア処理するかのいずれかにより行われているが、いずれも回路構成が複雑であり、小型化には限界があった。

また1983年発行の「画像電子学会」第12巻第4号第302~308頁所載の「高速ファクシミリ2次元ソフトCODEC」に見られるようにデータ転送をダイレクトメモリアクセス方式で行うものが発表されているが、この方式ではデータの転送の間マイクロプロセッサは停止状態となり、符号、復号

化効率が低いという難点がある。

以下これを第3図に基づき詳しく説明する。全体の制御を司るマイクロプロセッサ31、その動作制御用のプログラムを格納してあるプログラムメモリ32及びデータの一時的記憶用のメモリ33はバス30を介して接続されている。

読取回路36の1次元走査によって読取られてこれから得た画像情報はS/P（シリアル／パラレル）変換器35に入力され、ここでパラレルデータに変換されバス30に与えられる。受信の場合、バス30のデータはP/S（パラレル／シリアル）変換器37によりシリアルデータに変換され、記録回路38に与えられてここで記録が行われる。

またバス30はバッファメモリ40を介してモデム41に連なり、モデム41が電話回線に連なっている。バッファメモリ40は符号化データを送出し、また復号された受信データを一時蓄積するためのものである。

その他DMAコントローラ34及び変化点検出回路39がバス30に接続されている。変化点検出回路39

は2値の画像信号の明、暗の変化点を検出するためのものであり、これを検出しない間DMAコントローラ34にDMA転送を行わせ、変化点を検出するとそれを停止させる。

次にこの回路の動作を符号化の場合について説明する。読取回路36で読取られた画像情報の信号はS/P変換器35にて1バイト単位のパラレルデータにまとめられてDMAコントローラ34の制御によりデータメモリ33へDMA転送される。このとき転送された1バイトのデータ内の変化点の有無を変化点検出回路39が調べ、変化点が検出されない場合は順次DMA転送を行わせるのに対し、変化点を検出すると、DMA転送要求信号DRQを反転させる。この反転によりDMAコントローラ34はマイクロプロセッサ31に対しホールドリクエスト信号HRQを出す。マイクロプロセッサ31はこれに対してホールドアクリッジ信号HLDAをDMAコントローラに出し、バス30の占有権をとって、符号化を行い、符号データをバッファメモリ40に格納する。格納された符号データはモデム41のクロックに同期さ

せて取出し、ここで変調して回線へ送出する。

（発明が解決しようとする問題点）

以上の動作を反復するのであるが、これをバス30の占有権についてみると、第4図に示すようにDMAコントローラ34（DMA転送）、又はマイクロプロセッサ31（符号、復号化）がこれをとるから、当然に符号、復号化の効率が悪いということになる。

（問題点を解決するための手段）

本発明はこのような従来技術の問題点を解決するためになされたものであり、DMA転送時にはDMA転送と並行して符号、復号を行えるようにバスを分離することとして効率を高めた符号、復号方式を提供することを目的とする。

本発明に係る符号、復号方式は、画像信号の符号、復号を行う方式において、所定量の画像信号を格納する第1、第2のメモリと、符号、復号処理を実行するプロセッサに連なる第1のバスと、符号化すべき信号の発生回路、復号した信号を受ける回路及びDMAコントローラに連なる第2のバ

スと、第1、第2のバスを接続するバスバッファと、第1、第2のメモリの夫々を相異なる前記バスに接続する切換回路とを設け、符号化すべき信号を一方のメモリにDMA転送して格納し、これと同時に他方のメモリに格納されている信号をプロセッサにて符号化し、またプロセッサが復号した信号を一方のメモリに格納し、これと同時に他方のメモリに格納されている信号を前記復号した信号を受ける回路へDMA転送することとを特徴とする。

（実施例）

以下本発明をその実施例を示す図面に基づいて詳述する。第1図は本発明方式の実施例を示すブロック図、第2図はその動作説明のためのタイムチャートである。

この方式ではバスをバスバッファ23にて分離されるバス10a、10bの2系統の構成とし、マイクロプロセッサ11をバス（アドレスバス、データバス、制御バス）10aに、DMAコントローラ14をバス（同）10bに接続している。

データバス10aにはシステムメモリ12、データメモリ13及びバッファメモリ22が接続されているが、これらの外にラインメモリ切換回路24,25の切換制御を行う入出力機器22及びラインメモリ切換回路24が接続されている。バッファメモリ23はモデム21に連なり、モデム21は通信回線に接続されている。

一方、バス10bには読取回路16に連なるS/P変換器15、記録回路18に連なるP/S変換器17、DMAコントローラ14及びラインメモリ切換回路25が接続されている。ラインメモリ26,27は走査1ライン分の画像情報を一時的に格納するものであり、ラインメモリ切換回路24,25はバス10a,10bを相互に別のラインメモリ26,27と接続させるように切換制御される。

このような回路にて実施される本発明の方式について説明する。

読取回路6が画像情報を出力するとS/P変換器15はこれを1バイトごとのパラレルデータとしてバス10bを介してラインメモリ27へ転送させる。

てS/P変換器15からのバイト単位の画像情報をラインメモリ26へDMA転送する。

一方マイクロプロセッサ11はラインメモリ27の1ライン分のデータをラインメモリ切換回路24、バス10aを介して読込み、符号化して符号化データをバス10aを介してバッファメモリ20に蓄積させる。ここに蓄積された符号化データはモデム21のクロックに同期して読出され、変調されて回線へ送出されていく。

以下第2図に示すように同様にして画像情報1ライン分ごとにラインメモリ切換回路24,25が切換えられて、一方のラインメモリにDMA転送が行われると同時に他方のラインメモリにおける格納データが符号化されていくのである。

次に復号化の場合について説明する。回線から受信した信号はモデム21にて復調されバッファメモリ20に蓄積する。そしてここに蓄積された符号化データをマイクロプロセッサ11に読込んで復号し、このときマイクロプロセッサ11側に接続されているラインメモリ26(又は27)に1ライン分の

この間(第2図T1の期間)はDMAコントローラ14がバスバッファ23へ出力するホールドリクエスト信号(HREQ)によってバスバッファ23はバス10a,10bを分離している。また入出力機器22はそのメモリ切換信号(MCHG)をローレベルとして上記ラインメモリ27がバス10b,DMAコントローラ14側に、またラインメモリ26がバス10a,マイクロプロセッサ11側に各連なるようにラインメモリ切換回路24,25を切換えておく(第1図の実線方向)。

1ライン分の画像情報がラインメモリ27にDMA転送されるとDMAコントローラ14はターミネートカウント信号TCを入出力機器に発する。

マイクロプロセッサ11は次の期間T2において信号MCHGを反転させ、ラインメモリ27をマイクロプロセッサ11側に、ラインメモリ26をDMAコントローラ14側に接続させるべくラインメモリ切換回路24,25を切換えさせる。そして次の1ラインの画像情報をDMA転送させるためにマイクロプロセッサ11はDMAコントローラ14に対しDMA転送要求信号DRQを与え、DMAコントローラ14はこれを受け

画像情報を組立てて格納する。1ライン分の復号が終了すると入出力機器12が出力する信号MCHGの反転によってラインメモリ切換回路24,25を切換え、ラインメモリ26(又は27)をDMAコントローラ14側に、ラインメモリ27(又は26)をマイクロプロセッサ11側に接続させる。マイクロプロセッサ11は次のラインの復号を行いラインメモリ27(又は26)に1ライン分の画像情報を組立てて格納する。これと並行してラインメモリ26(又は27)の画像情報をDMAコントローラ14の制御によってP/S変換器17へ送り、記録回路18にて記録させる。(効果)

以上のように本発明による場合は読取回路16、記録回路18とメモリとの間のデータ転送をDMA転送し、その一方で同時並行的にマイクロプロセッサが符号、復号を行うことが可能となる。

従ってマイクロプロセッサは生画像データ処理から解放されることになり極めて高い符号、復号化効率が得られる。これによって一層高速のファクシミリ装置が実現でき、また中間調符号化を

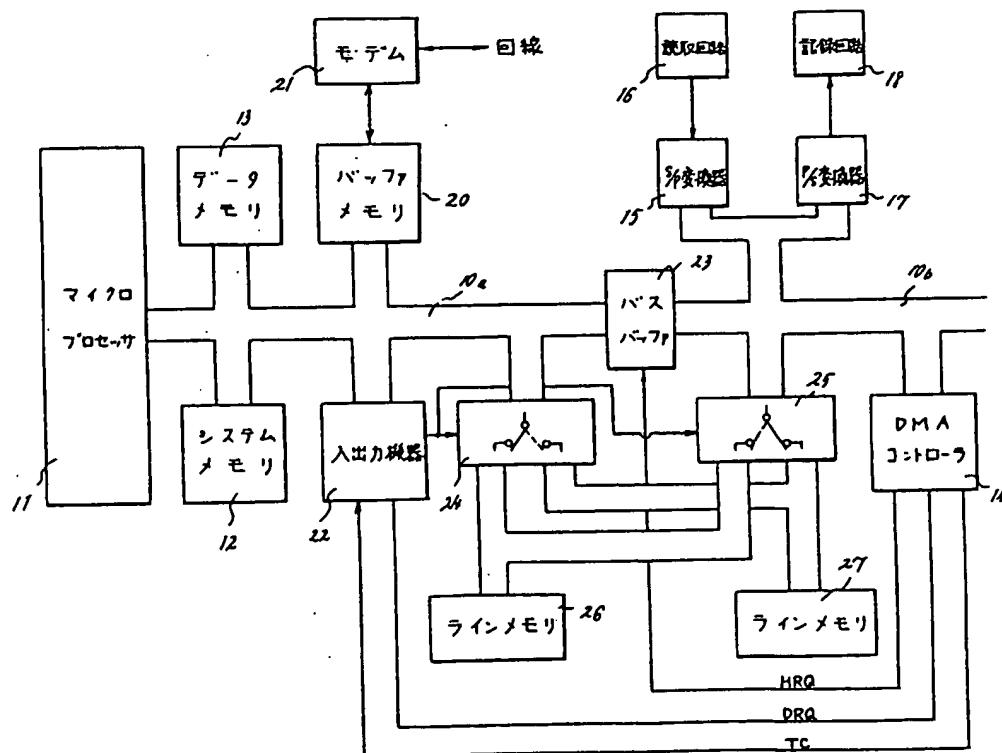
行うファクシミリ装置或いは、カラーファクシミリ装置の高速化も可能となる。

4. 図面の簡単な説明

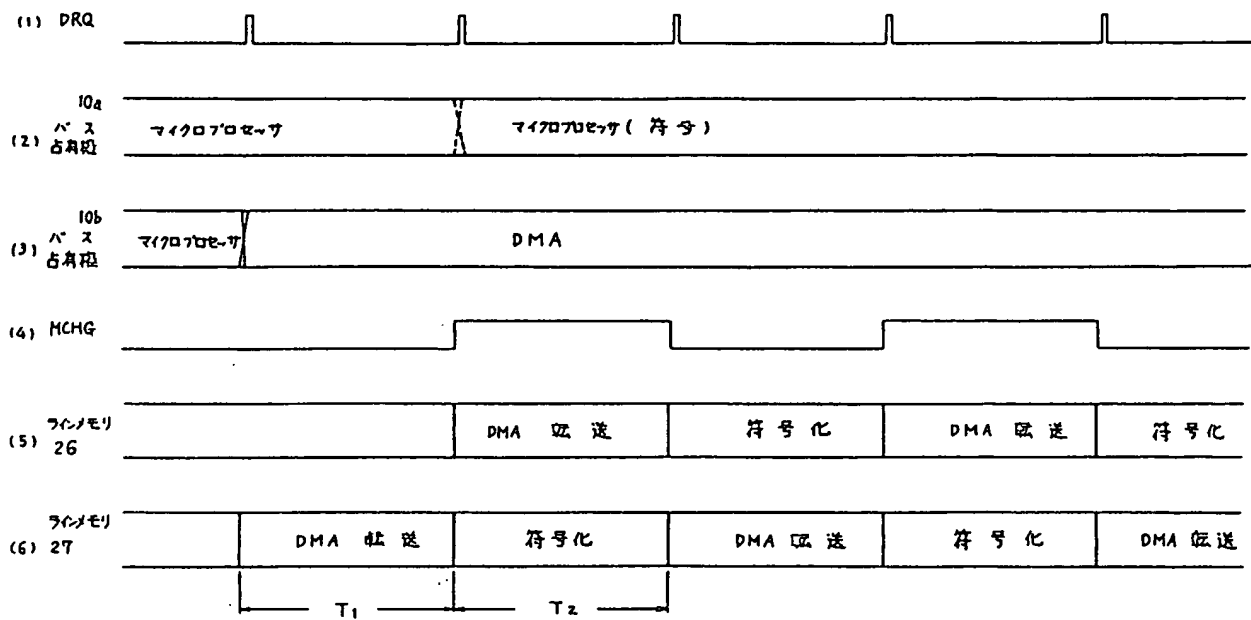
第1図は本発明方式の実施例を示すブロック図、
第2図はその動作説明のためのタイムチャート、
第3図は従来方式のブロック図、第4図はその動作説明のためのタイムチャートである。

10a, 10b …バス 11…マイクロプロセッサ
14…DMA コントローラ 21…モデム
22…入出力機器 23…バスバッファ
24, 25 …ラインメモリ切換回路
26, 27 …ラインメモリ

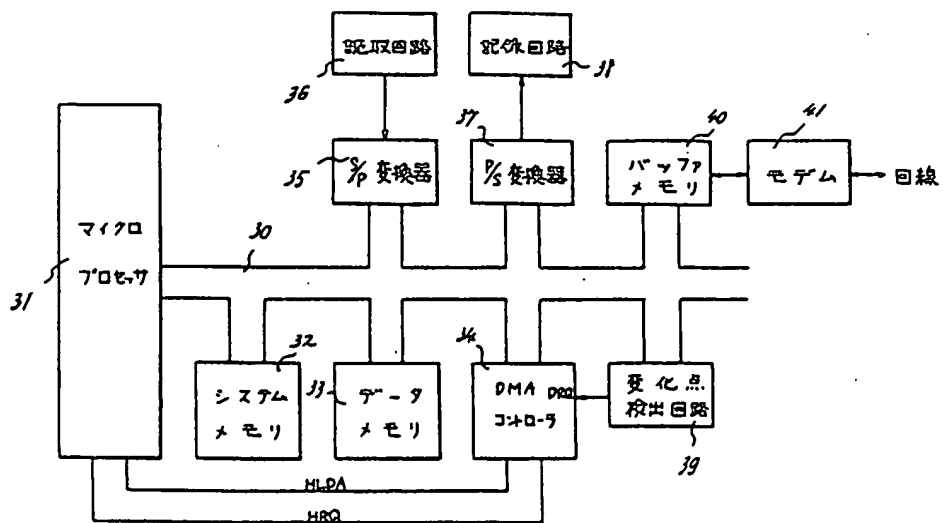
特 許 出 願 人 三洋電機株式会社
代 理 人 弁 理 士 河 野 登 夫



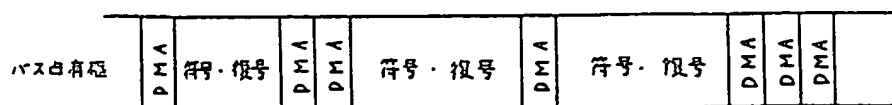
第 1 図



第 2 図



第 3 図



第 4 図